

## PATENT ABSTRACTS OF JAPAN

(2)

(11)Publication number : 06-301631  
 (43)Date of publication of application : 28.10.1994

(51)Int.CI.

G06F 13/18  
G06F 15/16

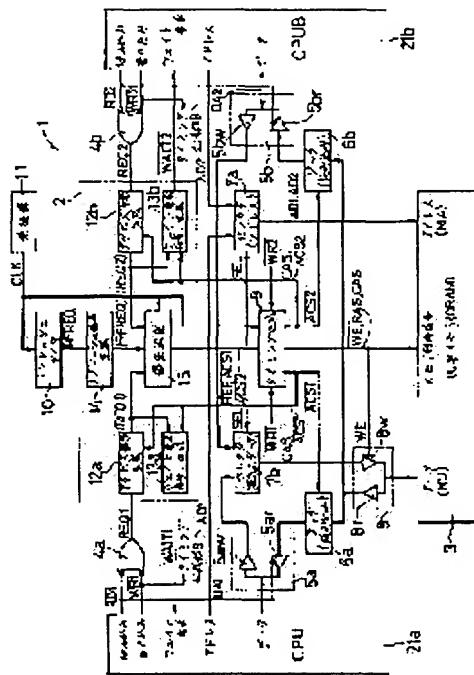
(21)Application number : 05-083563  
 (22)Date of filing : 09.04.1993

(71)Applicant : SHARP CORP  
 (72)Inventor : TANAKA YUJI

## (54) MEMORY CONTROL CIRCUIT

## (57)Abstract:

PURPOSE: To share a memory by executing arbitration processing of individual access requests from plural central processing units(CPUs) by a memory control circuit.  
 CONSTITUTION: When simultaneous access is generated from plural CPUs 21a, 21b in the memory control circuit 1, an arbitration circuit 2 receives the upper request and holds the lower request in accordance with previously determined priority order, activates or non-activates a buffer 5, a latch 6 and a selector 7 corresponding to the CPU in receiving and connects the bus line of the CPU to the bus line of the memory 3. When the memory 3 is a DRAM, a refresh request is processed with the highest priority. After completing the upper access, the lower access is received by resetting its holding and the corresponding bus line is connected by switching.



(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-301631

(43)公開日 平成6年(1994)10月28日

(51)Int.Cl.<sup>5</sup>G 06 F 13/18  
15/16

識別記号 庁内整理番号

510 9366-5B  
350 R 7429-5L

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 16 頁)

(21)出願番号

特願平5-83563

(22)出願日

平成5年(1993)4月9日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 田中 勇司

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

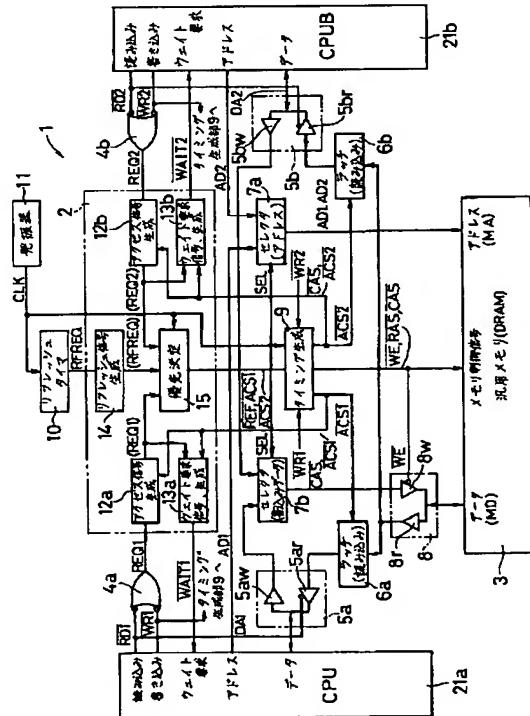
(74)代理人 弁理士 西教 圭一郎

## (54)【発明の名称】 メモリ制御回路

## (57)【要約】

【目的】 複数の中央処理装置からの個別的なアクセス要求を、メモリ制御回路を設けて調停処理することによってメモリの共有化を図る。

【構成】 メモリ制御回路1は、複数のCPU21a, 21bからの同時アクセスが発生したときには、調停回路2は予め定められる優先順位に従って上位の要求を受け、下位の要求を保留し、受け付け中のCPUに対応するバッファ5、ラッチ6、セレクタ7を能動化あるいは非能動化して、当該CPUのバスラインとメモリのバスラインとを接続する。メモリ3がDRAMの場合にはリフレッシュ要求が最優先に扱われる。上位のアクセスが終われば、前記保留を解除して下位のアクセス要求を受け付け、バスラインを切り換え接続する。



## 【特許請求の範囲】

【請求項1】 複数の中央処理装置と、データの書き込みおよび読み込みが自在なメモリとの間に介在し、前記複数の中央処理装置からの個別的なアクセス要求信号に応答して、前記メモリのバスラインが当該中央処理装置のバスラインに接続されるように制御するメモリ制御回路において、  
前記複数の中央処理装置からのアクセス要求信号の到着が先後するときは、先着順に受け付け、同時に到着するときには予め定める優先順位にしたがって受け付け、先着または上位のアクセス要求信号を受け付けている間は、後着または下位のアクセス要求信号を保留し、前記先着または上位のアクセス要求信号の処理が終わった後に前記保留を解除し、後着または下位のアクセス要求信号を受け付けることによって、前記複数の中央処理装置からのアクセス要求を順次的に調停処理するアクセス要求調停手段と、  
前記アクセス要求調停手段の出力に応答して、前記複数の中央処理装置のバスラインを選択して前記メモリのバスラインと接続するバスライン選択接続手段とを含むことを特徴とするメモリ制御回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、メモリ制御回路に関し、さらに詳しくは、読み込みおよび書き込みが自在なメモリを、複数の中央処理装置から個別にアクセスできるようにし、該メモリを該複数の中央処理装置によって共有できるようにするメモリ制御回路に関する。

## 【0002】

【従来の技術】中央処理装置（以下、「CPU」という）によって制御される各種の装置において、低機能の装置では1個のCPUでも対応できるが、装置の高速度化、高機能化が要求されるにしたがい、対応しきれなくなってくる。これに対処するためには高速CPUに置き換えて処理能力をアップさせる方法があるが、新たなソフトウェアが必要となって過去のソフトウェア資産が生かされず、CPUの高速化にともなって周辺デバイスも高速化が必要になるなど、コスト面での問題が生じる。

【0003】このような問題解消のために、プログラムを複数のCPUに分散し、CPU1個当たりの作業分担量を減じて高速化を図る方法が提案されている。たとえば図9に示されている高速ファクシミリ装置51では、2個のCPU52, 53を用いて、一方のCPU52には図示しないインターフェイスを介して外部との送受信に関連するモジュール54や操作パネルなどの入力手段55が接続され、他方のCPU53には内部動作に関連するスキャナ56やプリンタ57などが接続され、CPU1個の分担作業量を減じてその分の高速化が図られている。これら2つのCPU52, 53には自己用のROM58, 59のほかに、双方から個別にアクセス可能な複

数個のデュアルポートRAM60a, 60b, 60c,…が接続され、一方のCPUが書き込んだデータを、他方のCPUが読み込むといった、メモリの共有化によって、データの転送などに要する処理と時間の低減化が図られている。

## 【0004】

【発明が解決しようとする課題】しかしながら前述の従来技術に用いられているデュアルポートRAM60は、汎用性に欠ける上に比較的小容量でしかも高価であり、

10 バスラインを接続するためのポート端子数が増えるので配線量が多くなり、基板面積と関連して小形化が困難という問題点がある。

【0005】小型大容量の観点からダイナミックRAM（以下「DRAM」という）を使用するときにはリフレッシュの問題があり、またメモリを共有することによって双方のCPUから同時にアクセス要求が発生した場合の対処についての問題点がある。たとえば図10に示されるように、4ビットデータ「0, 0, 0, 0」がストアされているメモリがあり、ここへ一方のCPUが

20 「1, 1, 1, 1」を新たに書き込み、同時に他方のCPUがこれを読み込む場合を想定する。信号の遅延などのためすべてのデータの書き込みを終えるには時刻t00から時刻t02までの時間Twが必要であり、この間は各ビットデータは「0」, 「1」まちまちである。したがって正確な読み込みは時刻t02以後になされなければならないが、同時アクセスのタイミングが不適切だと時刻t01で「0, 1, 0, 1」のように誤って読み込んでしまう。同様なことは読み込み一書き込みの場合にも起こり得る。

30 【0006】このような不具合を解消するために、たとえば図11のタイムチャートに示されるように、一定時間幅Tmでハイ・ローが交互に切り替わるアクセスタイミング信号ACSTMによって、2個のCPUのアクセスを交互に切換える方法がある。時間幅Tmはたとえば3クロックとされ、リフレッシュはアクセスタイミング信号ACSTMのハイ期間に行われるようされる。このようにすれば、1つのアクセスだけがアクセスタイミング信号ACSTMの半サイクルに実行されるので、前述の不具合は解消されるけれども、タイミングによってはアクセス要求を出してから完了するまでの時間が長くなるという問題が生じる。これを図11のタイムチャートを用いて説明する。

【0007】図11において、(1)はクロック信号CLKを、(2)はリフレッシュ要求信号RFREQを、(3)は第1CPUのアクセス要求信号REQ1を、(4)は第2CPUのアクセス要求信号REQ2を、(5)はアクセスタイミング信号ACSTMを、(6)はリフレッシュ信号REFを、(7)は第1CPUのアクセス信号ACS1を、(8)は第2CPUのアクセス信号ACS2を、(9)はアクセス要求に応答して出力

されるロウ信号・バーR A Sを、(10)は同じくカラム信号・バーC A Sをそれぞれ示す。図11(2),

(3)のようにリフレッシュ要求信号R F R E Qあるいは第1アクセス要求信号R E Q 1が出ると、図示しない制御回路はこれに応答して図11(6), (7)に示されるリフレッシュ信号R E Fあるいは第1アクセス信号A C S 1を出してメモリとC P Uのバスとを接続し、図11(9), (10)に示されるロウ信号バーR A S、カラム信号バーC A Sを出力してアドレス指定が行われる。ロウ信号バーR A SはC P Uからのアクセス時には第1アクセス信号A C S 1の直後の時刻t 3 3で出力され、カラム信号バーC A Sはそれより遅れて時刻t 3 4に出力されるが、リフレッシュ時には時刻t 3 8, t 3 9に示されているように逆にカラム信号バーC A Sの方が先に出力される。いまたとえば、時刻t 3 1で第1C P Uから図11(3)に示される第1アクセス要求信号R E Q 1が出されても、図11(5)のアクセスタイミング信号A C S T Mはローに下がっているので、第1アクセス要求信号R E Q 1の受け付けはアクセスタイミング信号A C S T Mの1サイクル分延期され、時刻t 3 2で受け付けられる。したがって第1C P Uがアクセス要求を出してから完了までには、 $3 \times 2 + 2 \cdot 5 = 8 \cdot 5$ クロック分の時間T 3 1を要することになる。これは一方のアクセス要求が他と重ならない単独アクセスの場合であるが、タイミングが最悪だとこのようになる。

【0008】また図11の時刻t 3 3, t 3 4で、図11(2), (3), (4)のように、リフレッシュ要求信号R F R E Qと、第1アクセス要求信号R E Q 1と、第2アクセス要求信号R E Q 2の3つが殆ど同時に出され、このとき図11(5)のアクセスタイミング信号A C S T Mとの間で図示のような位相関係にあるとすれば、アクセスタイミング信号A C S T Mの立ち上がり時刻t 3 5でリフレッシュ要求信号R F R E Qが受け付けられ、時刻t 3 6でリフレッシュが完了し、次にアクセスタイミング信号A C S T Mの立ち下がり時刻t 3 7で第1アクセス信号A C S 1が受け付けられて時刻t 3 8で第1C P Uのアクセスが終わり、さらに時刻t 3 0で第2アクセス信号A C S 2が受け付けられて時刻t 4 0で第2C P Uのアクセスが終わるといったシーケンス動作になる。この場合の各々の要求発生から終了までの所要時間は、リフレッシュ…5クロック(時間T 3 2)、第1アクセス…8.5クロック(時間T 3 3)、第2アクセス…11.5クロック(時間T 3 4)となり、リフレッシュと重なった時などは多大の待ち時間が生じて高速化に支障をきたすことになってしまう。

【0009】発明の目的は前述の問題点を解決して、適切なタイミングによって複数のアクセス要求を調停管理し、メモリを複数の中央処理装置で共有することができるメモリ制御回路を提供することである。

【0010】

【課題を解決するための手段】本発明は、複数の中央処理装置と、データの書き込みおよび読み込みが自在なメモリとの間に介在し、前記複数の中央処理装置からの個別的なアクセス要求信号に応答して、前記メモリのバスラインが当該中央処理装置のバスラインに接続されるように制御するメモリ制御回路において、前記複数の中央処理装置からのアクセス要求信号の到着が先後するときは、先着順に受け付け、同時に到着するときには予め定める優先順位にしたがって受け付け、先着または上位のアクセス要求信号を受け付けている間は、後着または下位のアクセス要求信号を保留し、前記先着または上位のアクセス要求信号の処理が終わった後に前記保留を解除し、後着または下位のアクセス要求信号を受け付けることによって、前記複数の中央処理装置からのアクセス要求を順次に調停処理するアクセス要求調停手段と、前記アクセス要求調停手段の出力に応答して、前記複数の中央処理装置のバスラインを選択して前記メモリのバスラインと接続するバスライン選択接続手段とを含むことを特徴とするメモリ制御回路である。

#### 【0011】

【作用】本発明に従うメモリ制御回路は、アクセス要求調停手段とバスライン選択接続手段とを備えている。複数の中央処理装置から個別的なアクセス要求信号が到着すると、アクセス要求調停手段は複数のアクセス要求信号の到着に先後があるかどうかを調べ、先後があるときは先着のアクセス要求を受け付け、また複数のアクセス要求の到着が同時のときには予め定める優先順位にしたがって受け付け、先着または上位のアクセス要求信号を受け付けている間は後着または下位のアクセス要求信号を保留し、前記先着または上位のアクセス要求信号の処理が終わった後に、前記保留を解除して後着または下位のアクセス要求信号を受け付けることによって、前記複数の中央処理装置からのアクセス要求を順次に調停処理する。またバスライン選択接続手段は、前記アクセス要求調停手段の出力に応答して、前記複数の中央処理装置のバスラインから対応するバスラインを選択してこれをメモリのバスラインと接続する。これによって複数の中央処理装置からの個別的なアクセスが可能となり、メモリを複数の中央処理装置によって共有することができる。

#### 【0012】

【実施例】図1は、本発明の一実施例のメモリ制御回路1の使用例を示すブロック図である。メモリ制御回路1は、複数のC P U 2 1 a, 2 1 bとメモリ3との間に介在し、相互にバスラインL 1～L 3で結ばれている。メモリ3がD R A Mの場合にはリフレッシュタイマ10がバスラインL 4を介して接続され、一定周期ごとにリフレッシュ要求信号R F R E Qがメモリ制御回路1に入力される。またC P U 2 1 a, 2 1 bからのアクセス要求信号R E Q 1, R E Q 2はバスラインL 1, L 2を介してメモリ制御回路1に入力され、メモリ制御回路1は、

これらのアクセス要求を適切なタイミングの下に、メモリ3のバスラインL3をバスラインL1, L2またはバスラインL4と接続するものである。

【0013】図2は、本実施例のメモリ制御回路1の電気的構成を示すブロック図である。メモリ制御回路1は、アクセス要求調停手段である調停回路2を中心に、バスライン選択接続手段を形成するORゲート4a, 4bと、読み／書き用バッファゲート5a, 5bと、ラッチ回路6a, 6bと、一対のセレクタ回路7a, 7bと、バッファゲート8と、タイミング生成回路9などの各デバイスによって構成され、これらのデバイスは一部を除いて第1CPU21a、第2CPU21bに対して対称的に配置されている。第1バッファゲート5aは第1CPU21aに対応し、読み込み用第1バッファ5arと書き込み用第1バッファ5awとが対をなして形成され、第2CPU21bに対応する第2バッファゲート5bも同様に形成されている。メモリ3に対応するバッファゲート8も同様に一対の読み込み用バッファ8rと書き込み用バッファ8wとによって形成されている。前記各バッファのうち、各CPUの読み込み用バッファ5ar, 5brと、メモリ3に対する書き込み用バッファ8wとはいずれもインプル端子付きのもので、データの衝突防止が図られている。

【0014】前記一対のラッチ回路6a, 6bは、後述するように第1CPU21aまたは第2CPU21bからのアクセスに対応してそれぞれのCPUに対するメモリ3からの読み込みデータを一時保持するものである。また前記一対のセレクタ7a, 7bのうち、セレクタ7aはアドレス選択用セレクタであり、セレクタ7bは書き込みデータ選択用セレクタであり、ともに常時は第1CPU21a側のデータバスDA1に接続され、第2CPU21bからのアクセス要求によって生成されるセレクタ信号SELが入力されると第2CPU21b側のデータバスDA2に切換えられるようになっている。一定周期のクロック信号CLKが、発振器11から調停回路2とタイミング生成回路9とに入力され、第1CPU21aおよび第2CPU21bからのメモリ3への各アクセスタイミングの調整が図られている。クロック信号CLKはリフレッシュタイムマ10にも入力され、一定周期毎にリフレッシュ要求信号RFREQがリフレッシュタイムマ10から調停回路2に出力される。本発明において注目すべきは、メモリ制御回路1の内部に調停回路2を設け、予め定められる優先順位または先着順によってアクセス要求の調停管理を行い、これによって第1CPU21aと第2CPU21bによるメモリ3の共有化を図っていることである。

【0015】調停回路2は、優先決定回路部15を中心には、各々一対のアクセス信号生成部12a, 12bとウェイト要求信号生成部13a, 13bとが、第1CPU21aと第2CPU21bとに対して対称的に配置さ

れ、さらにリフレッシュタイムマ10からのリフレッシュ要求信号RFREQが入力されるリフレッシュ信号生成部14が設けられ、優先決定回路部15に接続されている。

【0016】第1CPU21aからのアクセス要求である読み込み信号・バーWR1または書き込み信号・バーRD1が導出されると、第1ORゲート4aによって第1アクセス要求信号REQ1に変換され、調停回路2内の第1アクセス信号生成部12aを介して優先決定回路部15に入力される。第1アクセス要求信号REQ1に応答して、優先決定回路部15は第1アクセス信号生成要求信号（以下「第1アクセス信号」という）・バーACS1を生成し、タイミング生成回路9に出力する。第2CPU21bからのアクセス要求についても同様に、読み込み信号・バーWR2または書き込み信号・バーRD2のいずれか一方によって第2アクセス要求信号REQ2が生成され、優先決定回路部15によって第2アクセス信号・バーACS2がタイミング生成回路9に出力される。

【0017】また書き込み信号・バーWR1, バーWR2のいずれか一方がタイミング生成回路9に入力されると書き込みと判断され、メモリ書き込み信号・バーWEがタイミング生成回路9からメモリ3に出力される。書き込み信号・バーWR1またはバーWR2が入力されないときにはメモリ書き込み信号・バーWEは出力されず、この場合には読み込みと判断される。なお以下の説明で、前記リフレッシュ要求信号、第1アクセス要求信号、第2アクセス要求信号を総称してアクセス要求信号ということもある。

【0018】本実施例ではアクセス要求信号の到着に先后があるときは先着の要求信号を先に受け、受け中は後着のアクセス要求信号は保留される。また予め優先順位をリフレッシュ要求—第1CPU1のアクセス要求—第2CPU2のアクセス要求の順に定め、メモリ3へのアクセス要求が前記3者によって同時に発生しても、この順に処理が行われ、その間他からの要求信号は保留されるようになっている。

【0019】たとえばリフレッシュ時には前記リフレッシュタイムマ10からのリフレッシュ要求信号RFREQに応答して、調停回路2内の優先決定回路部15からリフレッシュ信号・バーREFがタイミング生成回路部9に出力されるとともに、CPU21a, 21bに対するウェイト要求信号・バーWAIT1, バーWAIT2がCPU21a, 21bに入力され、されにリフレッシュ信号・バーREFによって調停回路2内ではクロック信号CLKが停止され、第1CPU21aと第2CPU21bからの各アクセス要求信号REQ1, REQ2は保留されて、アクセス信号ACS1, ACS2はタイミング生成回路9には出力されない。これによってメモリ3のリフレッシュが最優先動作となる。

【0020】図3は、調停回路2の電気的構成を示す回路図である。図3において図2に対応する部分には同一の参照符を付してある。調停回路2は、リフレッシュ信号生成部14と、第1および第2アクセス信号生成部12a, 12bと、第1および第2ウェイト要求信号生成部13a, 13bと、優先決定回路部15と、要求取り込みクロック信号生成部16の各ブロックによって構成されている。まず優先決定回路部15から説明する。

【0021】優先決定回路部15は、5個の入力端子i20～i24と3個の出力端子p7～p9とをもち、各入力端子i20, i21, i22にはリフレッシュ要求信号RFREQ、第1アクセス要求信号REQ1、第2アクセス要求信号ACS2がそれぞれ入力される。優先決定回路部15に設けられている3つのNANDゲートのうち、第1NANDゲートQ11は2入力、第2NANDゲートQ13は3入力、第3NANDゲートQ15は4入力であって、これらNANDゲートの第1入力端子にはアクセス要求信号RFREQ, REQ1, REQ2が個別に入力され、第2入力端子にはその前に置かれているD型フリップフロップ回路（以下「D-FF回路」という）D4～D6からのアクセス要求信号（RFREQ, (REQ1), (REQ2)）が対応して個別に入力される。カッコはD-FF回路D4～D6を介して出力される信号であることを示し、前記NANDゲートQ11～Q13に直接入力されるアクセス要求信号RFREQ, REQ1, REQ2と区別するためである。

【0022】前記3つのD-FF回路D4, D5, D6の入力端子D（以下「端子D」という）には、前記アクセス要求信号RFREQ, REQ1, REQ2がそれぞれ個別に入力される。またクロック端子CK（以下「端子CK」という）は、入力端子i23に共通に接続され、後述する要求取り込みクロック信号RQCLKが入力される。したがって端子Dにそれぞれ入力される要求信号RFREQ, REQ1, REQ2は、端子CKに入力される要求取り込みクロック信号RQCLKの立ち上がりによって取り込まれ、出力端子Q（以下「端子Q」という）にアクセス要求信号（RFREQ, (REQ1), (REQ2)）が固定されて出力されることになる。これによってたとえば第1NANDゲートQ11は、入力される2つのリフレッシュ要求信号RFREQ, (RFREQ)がともにハイのとき、バッファ回路Q12を介して出力端子p7にリフレッシュ信号・バーREFを出力する。第1アクセス信号・バーACS1, バーACS2についても同様である。

【0023】第1D-FF回路D4の反転出力端子・バーQ（以下「端子・バーQ」という）は、第2NANDゲートQ13と第3NANDゲートQ15との各第3入力端子にそれぞれ接続され、第2D-FF回路D5の端子・バーQは第3NANDゲートQ15の第4入力端子に接続されている。これによって前記3つの要求信号R

REQ, REQ1, REQ2の間に、優先順位が付けられることになる。すなわち第1D-FF回路D4の出力・バーQによって第2および第3のNANDゲートQ12, Q13の出力はすべてハイとなり、第1および第2アクセス信号・バーACS1, バーACS2はハイとなっていずれも非能動化される。したがってたとえばリフレッシュ要求信号RFREQと同時に第1アクセス要求信号REQ1が入力されても、第1アクセス信号・バーACS1は出力されない。第1アクセス要求信号REQ1と第2アクセス要求信号ACS2の関係も同様である。また前後して入力されるアクセス要求信号の場合は、先に到着するアクセス要求信号が後のアクセス要求信号を保留させることになるので、複数のアクセス要求信号に対する受付けの先後の秩序が保たれる。

【0024】出力端子p7に出力されるリフレッシュ信号・バーREFと、出力端子p8に出力される第1アクセス信号・バーACS1と、出力端子p9に出力される第2アクセス信号・バーACS2とは、いずれも図示しないタイミング生成回路部（図2において参照符9で示されている）に入力される。なお前記複数のD-FF回路D4～D6の各リセット端子（以下「端子R」という）は、リセット入力端子i24に共通に接続され、外部からの信号によってリセットされるようになっている。

【0025】次にリフレッシュ信号生成部14と、第1および第2アクセス信号生成部12a, 12bとはいずれも同じ回路構成であり、リフレッシュ信号生成部14を例にとって説明する。リフレッシュ信号生成部14は、ORゲートQ1とANDゲートQ2とD-FF回路D1とで形成され、入力端子i1にリフレッシュ要求信号RFREQが入力されないとき、D-FF回路D1の端子・バーRはローであり、D-FF回路D1はクリアされて端子・バーQはハイであり、したがって出力端子p1のレベルはローである。リフレッシュ要求信号RFREQによって入力端子i1のレベルがハイになると、D-FF回路D1のリセットが解除されるが、端子Dには電源電圧Vcが印加されており、端子CKのレベルもこの時点では変化しないから端子・バーQのレベルはハイのままで、出力端子p1からはハイのリフレッシュ要求信号RFREQが次段の優先決定回路部15に入力される。

【0026】優先決定回路部15での動作は前述の通りであり、このとき導出されるリフレッシュ信号・バーREFはリフレッシュ信号生成部14の入力端子i2にも入力される。またリフレッシュ信号・バーREFによってタイミング生成回路部から導出されるカラム信号・バーCASが入力端子i3にも入力される。入力端子i2, i3のレベルはハイからローに変わると、D-FF回路D1の状態は変化せず、リフレッシュ要求信号REQ1はリフレッシュ終了まで保持され、この間にメモリ

のリフレッシュが行われるのである。リフレッシュ動作が終了すると、カラム信号・バーCASがハイに変わるので入力端子i3はハイに変化し、D-F回路D1の端子CKがハイとなり、同時にリフレッシュ要求信号REQ1がローに下がってD-F回路D1の端子・バーRにリセットがかかり、リフレッシュ信号・バーREFはハイとなってリフレッシュ動作が終了する。

【0027】同様にして第1アクセス信号生成部12aの入力端子i4に第1アクセス要求信号REQ1が入力されると、出力端子p2から第1アクセス要求信号REQ1が出力され、優先決定回路部15のD-F回路D5は、要求取り込みクロック信号RQCLKの立ち上がりによって、第1アクセス要求信号REQ1を取り込み、第1アクセス信号・バーACS1を出力する。これによって第1CPU21aからの書き込み／読み込みが実行される。また第1アクセス要求信号REQ1が入力されている間は、前記D-F回路D5の端子・バーQからのロー出力によって第2アクセス信号・バーACS2はハイとなって非能動化される。このため第1アクセス信号・バーACS1が第2アクセス信号ACS2よりも優先して出力される。第2アクセス信号生成部12bの動作は、前記優先動作を除けば第1アクセス信号生成部12aと全く同じである。なおCPU21a, 21bからアクセス要求信号REQ1, REQ2が入力されると、次に述べるウェイト要求信号・バーWAIT1, WAIT2がウェイト要求信号生成部13a, 13bから出力される。

【0028】一対のウェイト要求信号生成部13a, 13bは、第1CPU21aおよび第2CPU21bからの各アクセス要求に応答して、第1CPU21aおよび第2CPU21bに対して第1ウェイト要求信号WAIT1、第2ウェイト要求信号WAIT2を個別に出力するもので、D-F回路D7とNANDゲートQ7、およびD-F回路D8とNANDゲートQ8によって同じ回路に形成されている。2つのD-F回路D7, D8の端子Dには電源電圧Vcが印加されてハイに保たれ、端子CKはそれぞれ前述のアクセス信号生成部12a, 12bのD-F回路D2, D3の端子CKに個別に接続されている。

【0029】またNANDゲートQ7, Q8のそれぞれ一方にはアクセス要求信号REQ1, REQ2が入力され、他方にはD-F回路D7, D8の出力・バーQが入力される。アクセス要求信号REQ1, REQ2はD-F回路D7, D8の端子・バーRにも入力される。したがってウェイト要求信号生成部13a, 13bの入力は、前述のアクセス要求信号生成部12a, 12bと同一構成であり、アクセス要求信号REQ1あるいはアクセス要求信号REQ2が入力されると、出力端子p5, p6からはアクセス要求信号REQ1, REQ2の反転波形であるウェイト要求信号・バーWAIT1, バ

-WAIT2がそれぞれ個別に出力される。ウェイト要求信号・バーWAIT1, バーWAIT2はCPU21a, 21bのウェイト要求端子に入力され、CPUの動作を一定時間遅延させるものである。

【0030】要求取り込みクロック生成部16は、4入力NANDゲートQ9とバッファQ10とで形成され、4個の入力端子i10～i13には、クロック信号CLK、リフレッシュ信号・バーREF、第1アクセス信号・バーACS1および第2アクセス信号・バーACS2の4つの信号が入力される。クロック信号CLKを除く3つの信号バーREF, バーACS1, バーACS2はいずれもアクセス時以外はハイであるから、NANDゲートQ9を介して出力端子p4から導出される要求取り込みクロック信号RQCLKの波形はクロック信号CLKの反転波形となっている。

【0031】優先決定回路部15のD-F回路D4～D6は、各々に入力されるアクセス要求信号RFREQ, REQ1, REQ2をこの要求取り込みクロック信号RQCLKの立ち上がりによって取り込んで、アクセス要求信号(RFREQ), (REQ1), (REQ2)を導出し、各々NANDゲートQ11, Q13, Q15の論理演算によってアクセス信号・バーREF, バーACS1, バーACS2を個別に導出するのである。

【0032】図4は、本実施例の動作を示すタイムチャートである。図4では2つのCPUとリフレッシュの3つのアクセスが想定されており、参照符号は図2～図3と同一である。図4において、(1)はクロック信号CLKを、(2)はリフレッシュ要求信号RFREQを、(3)は第1CPU21aの第1アクセス要求信号REQ1を、(4)は第2CPU21bのアクセス要求信号REQ2を、(5)は要求取り込みクロック信号RQCLKを、(6)はリフレッシュ信号REFを、(7)は第1アクセス信号ACS1を、(8)は第2アクセス信号ACS2を、(9)はロー信号バーRASを、(10)はカラム信号バーCASをそれぞれ示している。

【0033】いまだとえば図4(2), (3)に示されるように、時刻t1で第1アクセス要求信号REQ1を受け、次に時刻t3でリフレッシュ要求信号RFREQを受けたとすれば、リフレッシュ要求信号REQはそれより1クロック以上遅れているので後着とされ、第1アクセス信号ACS1の処理が先行される。図4(5), (7)に示されるように、時刻t2での取り込み要求クロック信号RQCLKの立ち上がりによって第1アクセス信号・バーACS1がローに下がり、これによって取り込み要求クロック信号RQCLKは時刻t2以後はハイに保持されて停止する。第1アクセス信号・バーACS1の立ち下がりから1/2クロック分遅れてロー信号・バーRASがローに下がり、次いで1クロック後にカラム信号・バーCASがローに下がって、第1CPU21aのアクセスが実行される。

【0034】アクセスが終わると時刻  $t_4$  でカラム信号・バーCASとロウ信号・バーRASがハイに戻って要求クロック信号RQCLKの停止が解け、要求取り込みクロック信号RQCLKが次に立ち上がる時刻  $t_5$  で、リフレッシュ要求信号RFREQが受け付けられ、時刻  $t_6$  までリフレッシュが行われることになる。この場合のリフレッシュ要求から終了までの所要時間  $T_1$  は 5 クロック分であり、これが他の要求と重なる最悪タイミングであり、換言すればいかなる場合にも 5 クロック以内にリフレッシュは完了することになる。たとえば図 4

(3) の第 1 アクセス要求信号REQ1 が図の左方にシフトすれば(到着時刻が早い)、リフレッシュが開始される時刻が早まり、逆に第 1 アクセス信号ACS1 が右方にシフトすれば(到着時刻が遅い)リフレッシュ要求と同時にあって、この場合には優先決定回路部 15 によってリフレッシュが優先されることになる。

【0035】また図 4 (4) に示されるように、時刻  $t_7$  で第 2 アクセス要求信号REQ2 が到着すると、この場合には他の要求と重ならないから、時刻  $t_7 \sim t_8$  の 3.5 クロック分の時間  $T_2$  でアクセスが実行されることになる。これを図 11 に示す従来例と比較すると、5 クロック分の時間短縮が図られる。これは従来例のようなアクセスタイミング信号ACSTMによる無用の待ち時間が生じないことによるものである。

【0036】さらに図 4 (2) ~ (4) に示されるように、時刻  $t_9, t_{10}$  で 3 つの要求信号RFREQ, REQ1, REQ2 がほぼ同時に到着する場合には、優先決定回路 15 によってリフレッシュ要求信号RFREQ → 第 1 アクセス要求信号REQ1 → 第 2 アクセス要求信号REQ2 の順に処理される。第 1 アクセス要求信号ACS1 の到着から終了までの時間  $T_3$  (時刻  $t_9 \sim t_{11}$ ) は 6.5 クロックであり、また第 2 アクセス要求信号ACS2 の到着から終了までの時間  $T_4$  (時刻  $t_9 \sim t_{12}$ ) は 9.5 クロックであり、これを図 11 の従来技術と比較すれば最悪タイミングの場合でも、いずれも 2 クロック分の時間短縮が図られるのである。このように本発明では、従来技術のようなアクセスタイミング信号などを用いないので、時間短縮を図ることができるのである。次に前述の同時アクセスの場合についてさらに詳しく説明する。

【0037】図 5 は、本実施例の動作を動作を説明するためのタイムチャートである。図 5 はリフレッシュと、第 1 CPU21a と、第 2 CPU21b の 3 つのアクセス要求が同時発生する場合を想定しており、参照記号は図 2 ~ 図 4 と同一である。図 5 (1) はクロック信号CLK の波形であり、図 5 (2) ~ (6) は第 1 CPU21a に関する信号の動作波形であり、図 5 (7) ~ (11) は第 2 CPU21b に関する信号の動作波形である。また図 5 (12) ~ (13) はメモリ 3 へのデータの書き込み、読み込みのタイミングを示し、図 5

(17) ~ (24) は主として調停回路 2 の内部で生成される各部の信号波形が示されている。図 5 では時刻  $t_0$  に、リフレッシュ要求と、第 1 CPU21a からの第 1 アクセス要求と、第 2 CPU21b からの第 2 アクセス要求の、3 つのアクセス要求が同時に発生した場合を想定し、そのタイミングが示されている。

【0038】時刻  $t_{10}$  に、リフレッシュタイマ 10 から図 5 (17) に示されるリフレッシュ要求信号RFREQ と、第 1 CPU21a から図 5 (4) に示される読み込み要求信号・バーRD1 によるアクセス要求と、第 2 CPU21b から図 5 (10) に示される書き込み要求信号・バーWR2 によるアクセス要求が、それぞれ同時に調停回路 2 に入力されると、図 5 (4) の読み込み要求信号・バーRD1 の立ち下がりによって図 5 (6) に示される第 1 ウェイト要求信号・バーWAIT1 と、図 5 (18) に示される第 1 アクセス要求信号REQ1 とが生成される。また図 5 (10) の書き込み要求信号・バーWR2 によって、図 5 (11) に示される第 2 ウェイト要求信号・バーWAIT2 と、図 5 (19) に示される第 2 アクセス要求信号REQ2 とが生成される。第 1 CPU21a の読み込み動作と、第 2 CPU21b の書き込み動作とは待機させられ、最優先のリフレッシュ動作が行われることになる。この間第 1 アクセス要求信号REQ1 と第 2 アクセス要求信号REQ2 とは図 5 (18), (19) に示されているように保持される。

【0039】図 5 (17), (20), (21) に示されているように、時刻  $t_{11}$  に、要求取り込みクロック信号RQCLK の立ち上がりでリフレッシュ信号・バーREF が前記優先決定回路部 15 から出力され、これによって時刻  $t_{12}$  でタイミング生成回路 9 から図 5 (14) に示されるロウ信号・バーRAS が output され、続いて時刻  $t_3$  で図 5 (15) に示されるカラム信号・バーCAS がそれぞれ出力される。リフレッシュの場合はカラム信号・バーCAS がロウ信号・バーRAS よりも早く出力される。また前記リフレッシュ信号・バーREF の立ち下がりによって要求取り込みクロック信号RQCLK はハイに固定されて停止する。時刻  $t_{13}$  でリフレッシュが終わると、ロウ信号・バーRAS とカラム信号・バーCAS はともに立ち上がり、同時にリフレッシュ信号・バーREF がハイになってリフレッシュ優先処理が解除され、取り込み要求クロック信号RQCLK が復旧する。取り込み要求クロックRQCLK の次の立ち上がりで続いて第 1 アクセス要求の処理が行われることになる。

【0040】図 5 (22) に示されるように、時刻  $t_4$  で第 1 アクセス信号・バーACS1 がローに下がる。この第 1 アクセス信号・バーACS1 の立ち下がりによって図 5 (20) の要求取り込みクロック信号RQCLK は再び停止し、図 5 (14) に示されるように時刻  $t_{15}$  でロウ信号・バーRAS がローに下がり、続いて時

刻 t 16 で図 5 (15) のカラム信号・バーCASがローに下がり、セレクタ 7a を介して第1CPU21a のアドレスバスAD1 とメモリ3 のアドレスバスMA1 とが接続され、図 5 (2) のアドレス a1 が指定される。

【0041】一定時間幅のカラム信号・バーCASが図 5 (15) で示されるように、時刻 t 17 で立ち上がりると、ロー信号・バーRASも立ち上がり、図 5 (6) に示されるように第1ウェイト要求信号・バーWAIT1 がハイとなってメモリ3 からは図 5 (13) のデータ d1 が読み込まれ、読み込みバッファ 8r を介して第1ラッチ回路 6a に入力され、ラッチされる。読み込みであるからメモリ書き込み信号・バーWEはハイのままで、書き込みバッファ 8w は非導通状態となっている。第1ウェイト要求信号・バーWAIT1 の立ち上がりによって第1CPU21a の待機が解除され、第1CPU21a によって前記ラッチされているデータが読み込まれる。

【0042】読み込みが終われば第1CPU21a は時刻 t 18 で図 5 (4) で示されるように読み込み要求信号・バーRD1 をハイに戻し、これによって図 5 (2) のように第1アクセス信号・バーACS1 がハイとなる。また図 5 (6) に示されるように前記ウェイト要求信号・バーWAIT1 がハイとなって前記カラム信号・バーCAS の立ち上がりによって第1ラッチ回路 6a は入力されている前記メモリ3 のデータ d1 をラッчиし、読み込みバッファ 5ar を介して第1CPU21a のデータ端子に出力する。このようにして第1CPU21a のメモリ3 からのデータの読み込みが行われる。

【0043】読み込みが終わると第1CPU21a は時刻 t 8 で、図 5 (4) に示されるように読み込み要求信号・バーRD1 をハイに立ち上げ、これによって図 5 (18) に示されるように第1アクセス要求信号REQ1 がローとなって、第1CPU21a によるデータ読み込みが終了する。続いて第2CPU21b からのアクセス要求の受け付けが図 5 (20) に示される時刻 t 18 の取り込み要求クロック RQCLK の立ち上がりで開始される。

【0044】図 5 (23) に示されるように時刻 t 18 で第2アクセス要求信号・バーACS2 がローに下がり、これと連動して図 5 (24) に示されるセレクタ信号 SEL がハイとなってセレクタ 7a, 7b を第2CPU21b 側に切換える。これによって第2CPU21b のアドレスバスAD2 とメモリ3 のアドレスバスMA とが接続され、第2CPU21b のデータバスDA2 とメモリ3 のデータバスMD とが接続される。第2アクセス信号ACS2 の立ち下がりによって要求取り込みクロック信号RQCLK は停止する。

【0045】図 5 (14) の時刻 t 9 でロー信号・バーRAS がローに下がり、その後カラム信号・バーCAS もローに下がる。第2CPU21b からの書き込み要求

信号・バーWR2 が output されているので、前記ロー信号・バーRAS の立ち下がりによってタイミング生成回路 9 は図 5 (16) に示されるようにメモリ書き込み要求信号・バーWE をローに下げる。これによって図 5

(7) に示されるアドレス a2 によってメモリ3 のアドレス指定が行われ、次いで図 5 (8) のデータ d2 がメモリ3 に書き込み可能となる。書き込み後の時刻 t 20 でカラム信号・バーCAS がハイに立ち上がると、図 5 (23) の第2アクセス信号ACS2 はハイに立ち上がる。図 5 (24) のセレクタ信号SEL はローに下がってセレクタ 7a, 7b は第1CPU21a 側に復帰する。同時に図 5 (11) に示されるように第2ウェイト要求信号・バーWAIT2 がハイに立ち上がり、時刻 t 21 で第2CPU21b は図 5 (10) に示されるように、書き込み要求信号WR2 をローに下げ、これによって第2CPU21b による書き込み動作が終了する。

【0046】前述の説明では、第1CPU21a のアクセスを読み込み、第2CPU21b のアクセスを書き込みとしたけれども、逆の場合も当然に可能であり、また両方のCPUから同時に書き込み要求あるいは読み込み要求がなされても差し支えないことは明らかであろう。このように本実施例では、調停回路2を設けることによって、最悪のタイミングである同時アクセスが発生しても予め定められる優先順位によって処理するものであるから、誤動作することなく、信頼性が向上するのである。

【0047】図 6～図 8 は、本実施例の動作を示すフローチャートである。図 6 は第1CPU21a の書き込み／読み込み動作を示し、図 6 (1) には書き込み動作が、図 6 (2) には読み込み動作がそれぞれ示されている。図 7 は第2CPU21b の書き込み／読み込み動作を示し、図 7 (1) には書き込み動作が、図 7 (2) には読み込み動作がそれぞれ示されている。また図 8 はリフレッシュ動作を示すものである。第1CPU21a と第2CPU21b の各アクセス動作は優先判断を除けば同一であるから、ここでは第1CPU21a のアクセス動作を、図 6 を参照して説明する。なお参照符号は前掲図 3～図 5 と同一であり、これらの図をあわせて参照されたい。

【0048】書き込み動作から説明する。図 6 (1) を参照して、ステップ w11 で第1CPU21a は書き込みのためにアドレスデータをアドレスバスAD1 に出力し、同時に書き込み要求信号・バーWR1 をローに立ち下げる。書き込みであるから読み込み要求信号・バーRD1 はハイのままである。ステップ w12 では書き込み要求信号・バーWR1 の立ち下がりによって第1ウェイト要求信号・バーWAIT1 がローに下がって第1CPU21a のウェイト端子に印加され、第1アクセス要求信号REQ1 がハイとなって調停回路2に入力される。

【0049】ステップ w13 では要求取り込みクロック

信号R Q C L Kの立ち上がり時のリフレッシュ要求信号R F R E Qのレベルがハイかローかが判断される。ローであればステップw 1 4に移って後述する図8のリフレッシュ動作が先に実行される。リフレッシュ要求信号R F R E Qのレベルがローであれば、すなわちリフレッシュ要求が出ていなければステップw 1 5に進み、第1アクセス信号・バーA C S 1が優先決定回路部1 5から出力され、要求取り込みクロック信号R Q C L Kが停止する。

【0050】ステップw 1 6ではセレクタ7 aを介して第1 C P U 2 1 aのアドレスバスAD 1とメモリ3のアドレスバスMAとが接続され、セレクタ7 bを介して第1 C P U 2 1 aのデータバスDA 1とメモリ3のデータバスMD 1とが接続される。ロウ信号・バーR A Sとカラム信号・バーC A Sが出力されてメモリ3のアドレスが指定される。カラム信号・バーC A Sによってタイミング生成回路部9からメモリ書き込み信号・バーW Eが<sup>10</sup>出力され、書き込み用バッファ8 wをONさせる。これによって第1 C P U 2 1 aからデータがメモリ3に書き込まれる。

【0051】前記ステップw 1 6で書き込みが終わると、ステップw 1 7に進んで、カラム信号・バーC A Sがハイに立ち上がり、第1アクセス要求信号R E Q 1はローに下がり、第1アクセス信号・バーA C S 1と第1ウェイト要求信号・バーW A I T 1はハイになって、これらの信号のレベルはアクセス要求以前の状態に戻る。次のステップw 1 8では、書き込み要求信号・バーW R 1をハイに戻し、第1 C P U 2 1 aの書き込み動作が終了する。

【0052】次に読み込み動作を説明する。図6(2)を参照して、第1 C P U 2 1 aが読み込みのためにアクセスを要求すると、ステップr 1 1でアドレスデータが第1 C P U 2 1 aのアドレスバスに出力され、同時に読み込み要求信号・バーR D 1がローに下がる。読み込みであるから書き込み要求信号・バーW R 1はハイのままである。ステップr 1 2では読み込み要求信号・バーR D 1の立ち下がりによって第1ウェイト要求信号・バーW A I T 1がローに下がって第1 C P U 2 1 aのウェイト端子に印加され、第1アクセス要求信号R E Q 1がハイとなって調停回路2に入力される。

【0053】ステップr 1 3では要求取り込みクロック信号R Q C L Kの立ち上がり時のリフレッシュ要求信号R F R E Qのレベルがハイかローかが判断される。ローであればステップr 1 4に移って後述する図8のリフレッシュ動作が先に実行される。リフレッシュ要求信号R F R E Qのレベルがローであれば、すなわちリフレッシュ要求が出ていなければステップr 1 5に進み、第1アクセス信号・バーA C S 1が優先決定回路部1 5から出力され、要求取り込みクロック信号R Q C L Kが停止する。

【0054】ステップr 1 6で第1 C P U 2 1 aのアドレスバスAD 1とメモリ3のアドレスバスMAとが接続され、ロウ信号・バーR A Sとカラム信号・バーC A Sが出力されてメモリ3のアドレスが指定される。なお、読み込みの際には書き込み要求信号・バーW Eはハイのままで変化しない。これによってメモリ3からのデータ読み込みが実行される。

【0055】前記ステップr 1 6で読み込みが終わると、ステップr 1 7に進んで、カラム信号・バーC A Sがハイに立ち上がり、第1アクセス要求信号R E Q 1はローに下がり、第1アクセス信号・バーA C S 1と第1ウェイト要求信号・バーW A I T 1はハイになって、これらの信号のレベルはアクセス要求以前の状態に戻る。次のステップr 1 8では、前記第1アクセス信号・バーA C S 1の立ち上がりによって、ラッチ6 aはメモリ3から読み出されたデータを保持し、データバスDA 1に出力する。ステップr 1 9で第1 C P U 2 1 aは、データバスDA 1のデータを読み込み、その後に読み込み要求信号・バーR D 1をハイに戻し、動作が終了する。

【0056】以上は第1 C P U 2 1 aの書き込み/読み込み動作であるが、第2 C P U 2 1 bの書き込み/読み込み動作は、図7(1), (2)の各フローチャートに示されている。図7(1)は書き込み動作で、図7(2)は読み込み動作である。第2 C P U 2 1 aの動作が第1 C P U 2 1 aの動作と異なるのは、書き込み動作の際は図7(1)のステップw 2 5での判断動作が、また読み込み動作の際には図7(2)のステップr 2 5での判断動作が、それぞれ加えられている点で、それ以外は第1 C P U 2 1 aの動作と全く同様である。ここで付加されている判断は、いずれも第1 C P U 2 1 aの優先動作に対する判断で、たとえば図7(2)のステップr 2 5では、第1 C P U 2 1 aからのアクセス要求が出ているかどうかが判断される。第1アクセス要求信号R E Q 1が出ていれば、ステップr 2 6に移って、前述の図6(2)に示されている第1 C P U 2 1 aによる読み込み動作が先に実行されるのである。

【0057】次にリフレッシュ動作を説明する。図8を参照して、ステップf 1でリフレッシュタイマ1 0からハイレベルのリフレッシュ要求信号R F R E Qが入力されると、ステップf 2で優先決定回路部1 5は要求取り込みクロック信号R Q C L Kの立ち上がりで、リフレッシュ要求信号R F R E Qを取り込み、ローレベルのリフレッシュ信号・バーR E Fを出力し、要求取り込みクロック信号R Q C L Kを停止させる。

【0058】ステップf 3でリフレッシュ信号・バーR E Fに応答してタイミング生成回路部9は一定時間幅のロウ信号・バーR A Sとカラム信号・バーC A Sとを出力し、リフレッシュが行われる。メモリ書き込み信号・バーW Eはハイのままで変化しない。リフレッシュが終われば、ステップf 4でカラム信号・バーC A Sが立ち

上がると、リフレッシュ要求信号R F R E Qがロー、リフレッシュ信号・バーR E Fがハイとなって要求取り込みクロック信号R Q C L Kの停止が解除されてスタートする。これによってリフレッシュ動作が終了する。

【0059】本実施例ではメモリにDRAMを使用しているので、同時アクセスの場合にはリフレッシュ動作を最優先させ、第1CPU21a、第2CPU21の順に順位を設けているけれども、メモリにスタティックRAMなどのデバイスを使用することもできる。この場合はリフレッシュが不要になるので、リフレッシュ信号生成部14を第1アクセス信号生成部に、第1アクセス信号生成部12aを第2アクセス信号生成部12bに振替えることもでき、リフレッシュタイマ10が不要になるなど、構成を簡単化することができる。本発明に使用されるメモリ3をはじめとするデバイスは、いずれも汎用性のもので容易に入手可能であるから、生産コストの低減化とメンテナンスの容易化も実現される。

#### 【0060】

【発明の効果】以上のように、本発明によるメモリ制御回路は、複数の中央処理装置から個別に到着するアクセス要求について、要求調停手段がその到着の先後を調べ、同時に予め定める優先順位にしたがってアクセス要求を受け付け、到着に先後がある場合には先着のアクセス要求を受け付け、上位または先着のアクセス要求を受けている間は下位または後着の要求信号を保留し、上位または先着信号の受け付けが終わった後に前記保留を解除して下位または後着の要求信号を受け付けるようにしているので、待ち時間が短縮され、高速化を図ることができる。またバスライン選択接続手段は、アクセス要求調停手段の選択出力に応答して、対応する中央処理装置のバスラインを選択してメモリのバスラインと接続するのでバスラインの接続が確実なものとなり、誤動作を防止する。これによって複数の中央処理装置からメモリに対する個別的なアクセスが可能となり、メモリを複数の中央処理装置によって共有することができ、複数の中央処理装置によってシステムの高速化を図ることができる。またメモリには安価で大容量の汎用DRAMを使用できるので、コストダウンが図れ、メンテナンスも容易である。

#### 【図面の簡単な説明】

【図1】本発明の一実施例のメモリ制御回路の使用例を示すブロック図である。

【図2】本発明の一実施例のメモリ制御回路の電気的構成を示すブロック図である。

【図3】本実施例による調停回路の回路図である。

【図4】本実施例の動作を示すタイムチャートである。

【図5】本実施例の動作を示すタイムチャートである。

【図6】本実施例による第1CPUの動作を示すフローチャートである。

【図7】本実施例による第2CPUの動作を示すフローチャートである。

【図8】本実施例によるメモリのリフレッシュ動作を示すフローチャートである。

【図9】従来技術を示すブロック図である。

10 【図10】従来技術の書き込み／読み込み動作を示す図である。

【図11】従来技術の動作を示すタイムチャートである。

#### 【符号の説明】

1 メモリ制御回路

2 調停回路

3 メモリ

4a, 4b ORゲート

5a, 5b バッファ

20 6a, 6b データ読み込み用ラッチ

7a アドレス選択用セレクタ

7b データ選択用セレクタ

8 バッファ

9 タイミング生成回路部

10 リフレッシュタイマ

12a, 12b アクセス信号生成部

13a, 13b ウエイト要求信号生成部

14 リフレッシュ信号生成部

15 優先決定回路部

30 21a, 21b 中央処理装置

AD1, AD2 中央処理装置のアドレスバス

CLK クロック信号

DA1, DA2 中央処理装置のデータバス

MA メモリのアドレスバス

MD メモリのデータバス

REQ1, REQ2 アクセス要求信号

R F R E Q リフレッシュ要求信号

R Q C L K 要求取り込みクロック信号

バーA C S 1, A C S 2 アクセス信号

40 バーC A S カラム信号

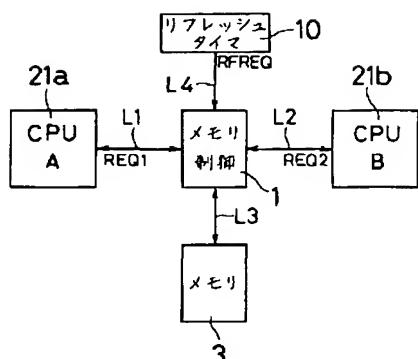
バーR A S ロウ信号

バーR E F リフレッシュ信号

バーW A I T 1, バーW A I T 2 ウエイト要求信号

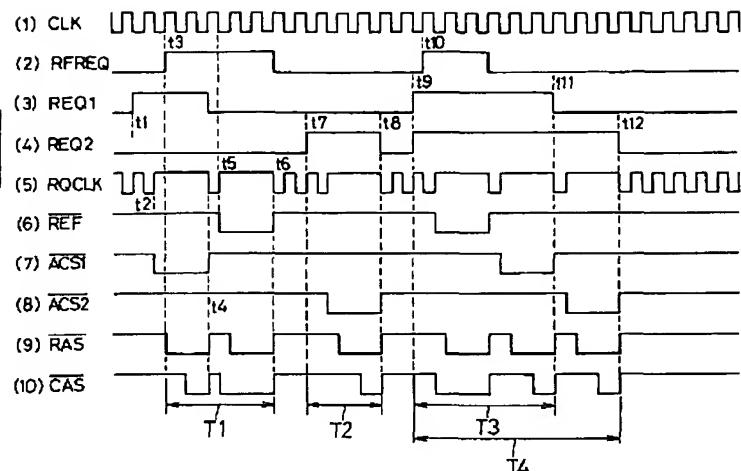
バーW E メモリ書き込み信号

【図 1】



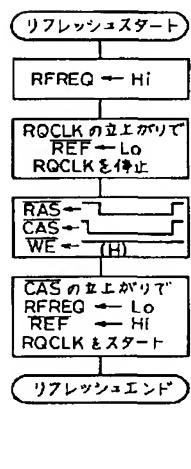
【图8】

## 【図4】

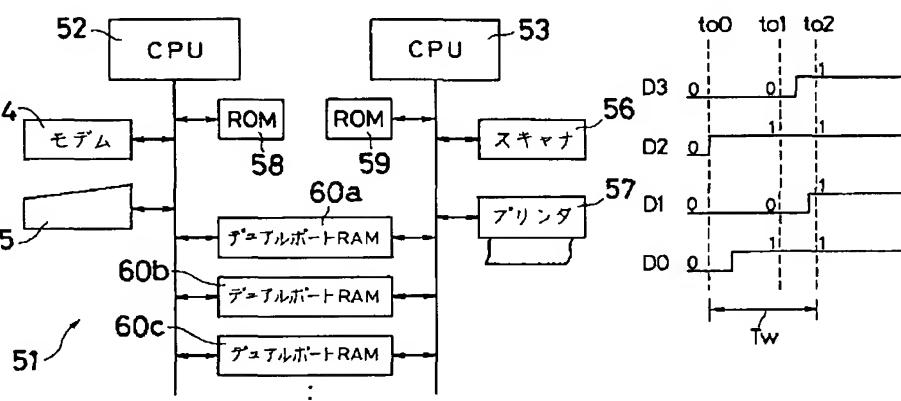


【图8】

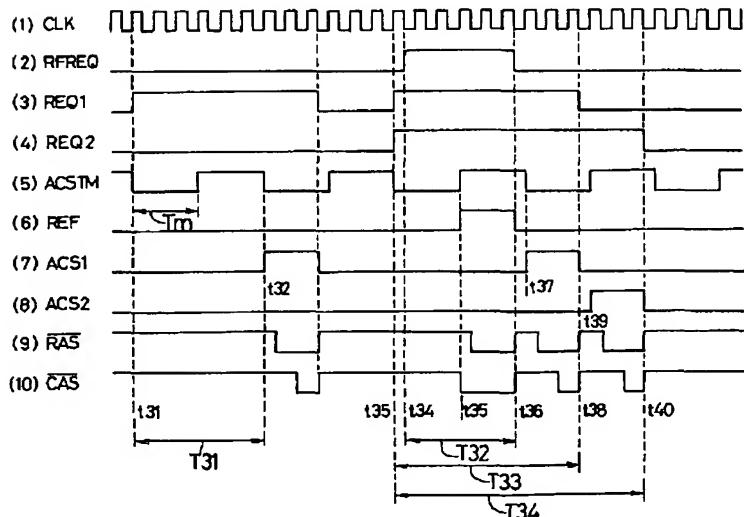
〔四九〕



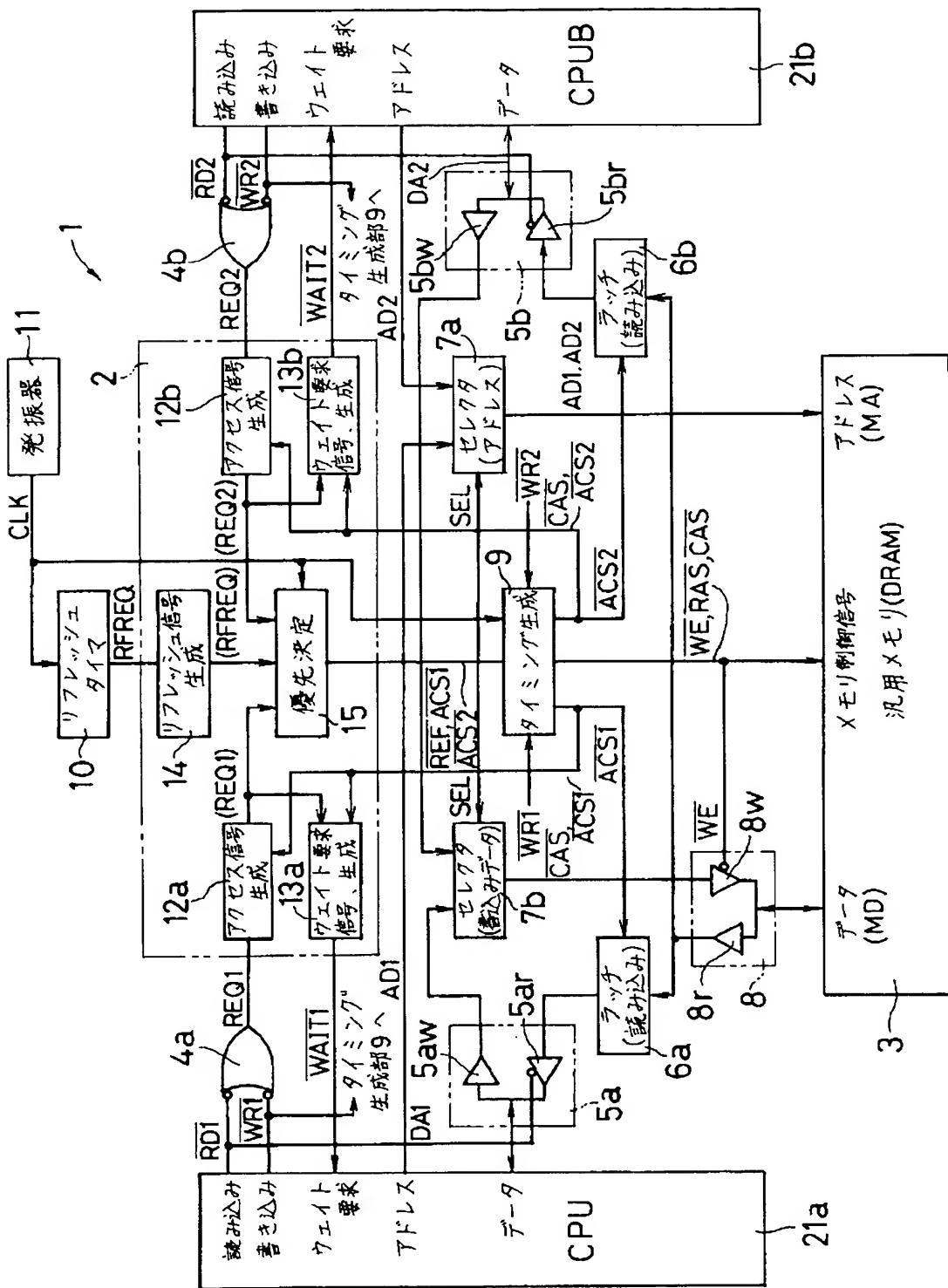
【図10】



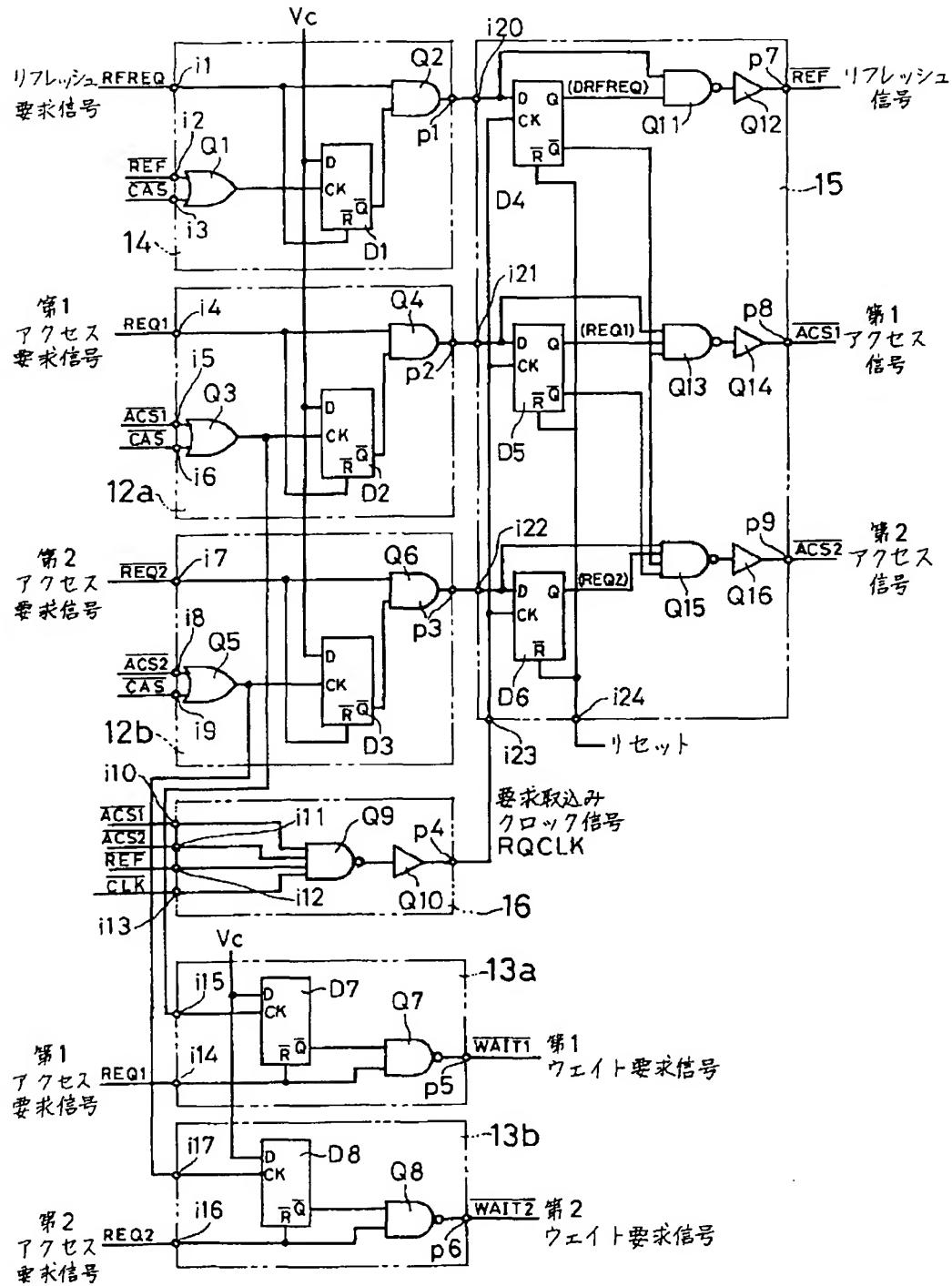
【图11】



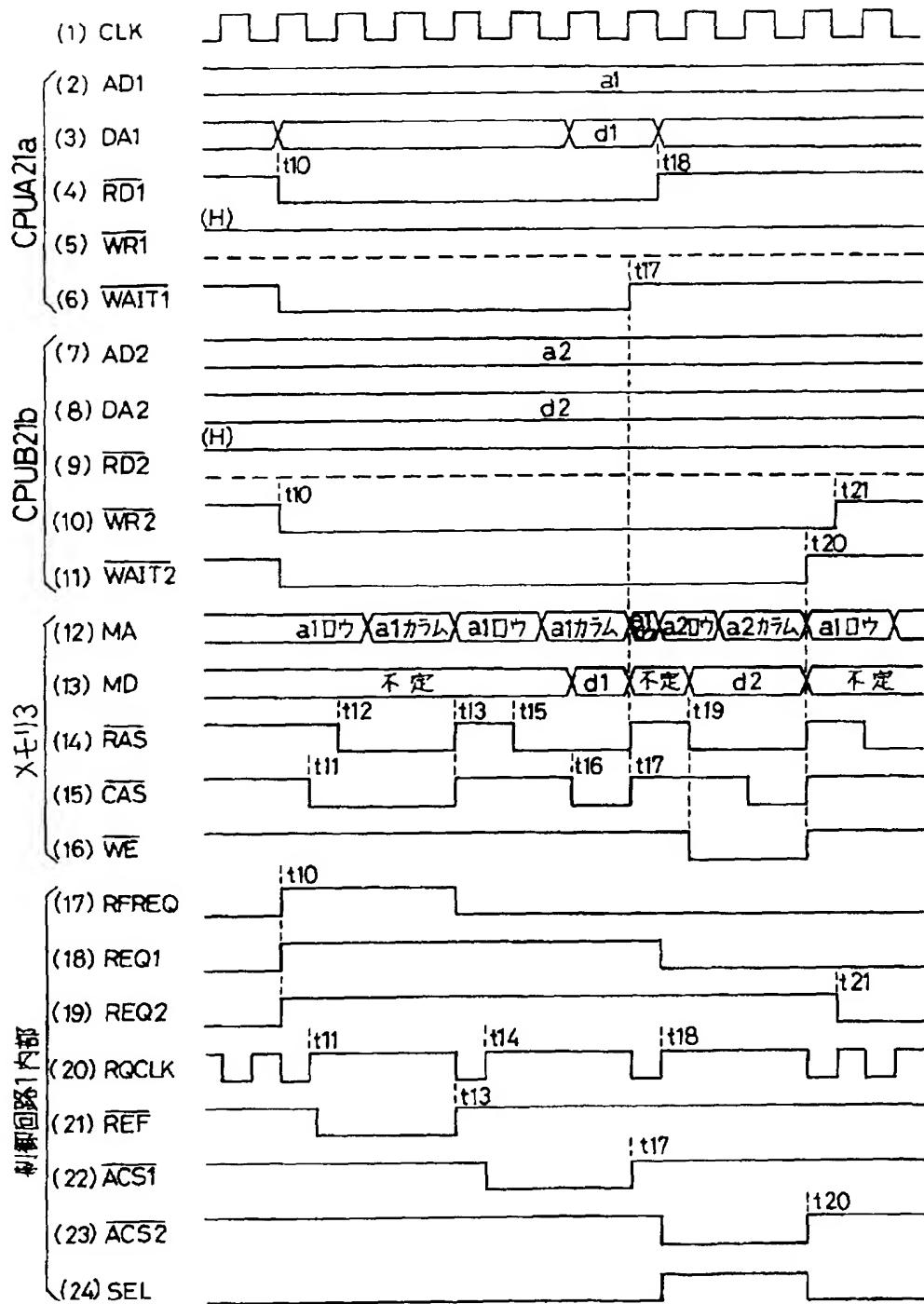
【図2】



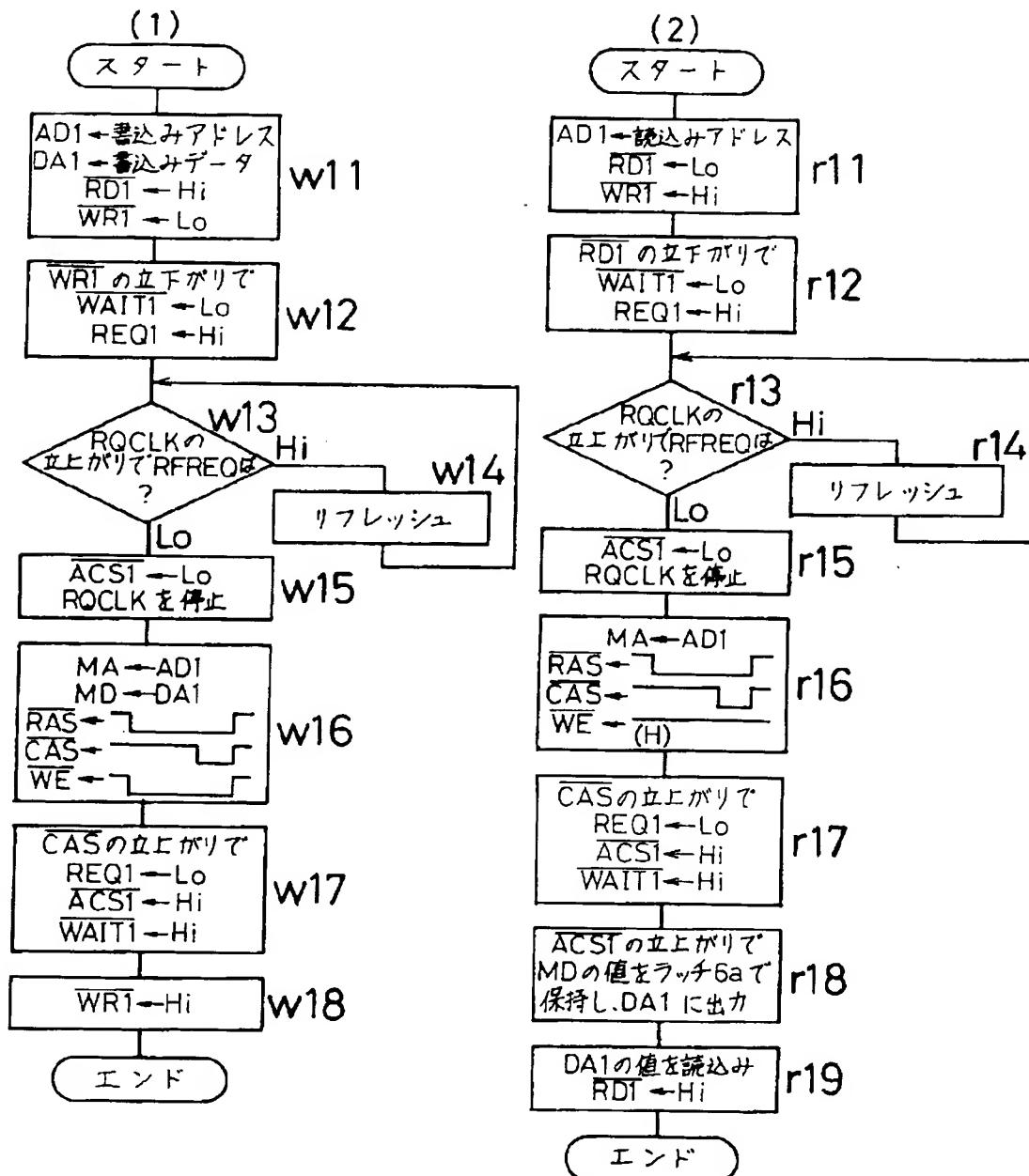
【図3】



【図5】



【図6】



【図7】

